

DISPLAY DRIVER

Patent Number: JP58011995
Publication date: 1983-01-22
Inventor(s): HIKICHI HIROSHI
Applicant(s): NIPPON ELECTRIC CO
Requested Patent: ☐ JP58011995
Application Number: JP19810110525 19810715
Priority Number(s): JP19810110525 19810715
IPC Classification: G09G3/36
EC Classification:
Equivalents: JP1687286C, JP3046822B

Abstract

Data supplied from the esp@cenet database - I2

Best Available Copy

EPSON

SEIKO EPSON CORPORATION

A purpose of the present invention is to provide a driving device for a display, the driving device comprising a test circuit for measuring the impedance of a column driving terminal and a row driving terminal within a short time.

A driving device for a display of the present invention comprising:
a driving terminal for a display element transmits a signal corresponding to display information to the display element;
a display circuit that transmits the signal to the driving terminal;
a circuit for generating a control signal; and
a circuit for electrically separating the display circuit from the display terminal according to the control signal;
a circuit for generating a test signal; and
a circuit for transmitting the test signal to the display terminal according to the test signal.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—11995

⑬ Int. Cl.³
G 09 G 3/36

識別記号

庁内整理番号
7250—5C

⑭ 公開 昭和58年(1983)1月22日

発明の数 1
審査請求 未請求

(全 8 頁)

⑮ 表示駆動装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56—110525
⑰ 出 願 昭56(1981)7月15日
⑱ 発 明 者 引地博

⑲ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

表示駆動装置

2. 特許請求の範囲

表示情報に相当する信号を表示素子に伝送する表示素子駆動端子と、前記表示素子駆動端子に前記表示情報に相当する信号を伝送する表示回路と、制御信号を発生する回路と、該制御信号に~~応答して前記表示回路と前記表示素子駆動端子とを電気的に切り離す回路と~~、テスト信号を発生する回路と、前記制御信号に~~応答して前記テスト信号を前記表示駆動端子に伝送する回路と~~を具備することを特徴とする表示駆動装置。

3. 発明の詳細な説明

本発明は表示駆動装置に関し、特に液晶表示器のテスト回路を有する液晶表示駆動装置に関する。液晶表示駆動装置を用いて液晶表示器を時分割

駆動する場合、最適な駆動を実行するために、第1図に示すような多値の電圧レベルを有する信号を発生する必要がある。同図は、8時分割駆動時の駆動信号波形図であり、(a)～(c)のROW1～ROW8は、液晶表示器の行電極を駆動するために順次発生される行駆動信号であり、(d)～(f)のCOL1～COLnは、液晶表示器の列電極を駆動するために表示情報に対応して発生される列駆動信号である。行駆動信号は、電圧レベルV1、V2、V3、V4、V5、V6を、列駆動信号は電圧レベルV1、V3、V4、V6を必要とする。

又、同図においてTは時分割駆動の1サイクル時間であり、1/Tはフレーム周波数と呼ばれ、60～200Hzが通例となっている。

一方、液晶表示器は、第2図に示すように、行電極LEと列電極CEの交点(斜線部)で液晶表示素子が形成され、液晶表示素子は第3図に示すように電気的にキャパシタCと等価である。したがって、多値レベルの行駆動信号及び列駆動信号により液晶表示器を駆動する場合、液晶表示器の

各キャパシタの容量を充放電するため、行駆動端子及び列駆動端子を通じて、充放電電流が流れる。

これを第4図を参照して説明する。同図(a)は、行駆動信号を出力する回路図であり、行駆動端子ROW1には液晶表示素子と等価なキャパシタCが接続されている。トランスファ素子27~32はそれぞれのゲートがハイレベルとなった時、導通状態となり、ローレベルの時、非導通状態となる。トランスファ素子27~30の一方の端子(ソース又はドレイン)は電源V1, V2, V3, V4と接続される。トランスファ素子27, 30の他方の端子(ドレイン又はソース)は共通に接続されトランスファ素子31の一方の端子に接続される。又、トランスファ素子28と29の他方の端子は、共通に接続されてトランスファ素子32の一方の端子に接続される。

トランスファ素子31と32の他方の端子は行駆動端子ROW1に共通に接続される。今、トランスファ素子29と32が導通状態であれば、行駆動端子ROW1には電圧V5が出力され、次にト

- 3 -

この様に、行駆動端子及び列駆動端子の出力インピーダンスによって液晶表示素子の表示品質が左右されるため、液晶駆動装置として出荷できる製品は、インピーダンスの大きさが規格内のものでなければならない。

従来その測定選別を以下のようにして行なっていた。

第4図(b)からわかるように、行及び列駆動信号波形のなまりは、電圧が変化するたびに生じるのでインピーダンスの測定も各電圧レベル毎に行なわなければならない。

しかしながら、特別な測定回路をもたない従来の装置ではその測定時間が極めて長かった。即ち、液晶表示器を時分割駆動するためのフレーム周波数は60~200Hzに設定されているので、行及び列駆動信号がある電圧レベルから次の電圧レベルに変化するまでの時間が長いこと、又、列駆動信号の電圧レベルを発生させるためには表示情報を特別に与えてやらなければならないこと、そしてそのための表示情報入力処理が複雑であることの

- 5 -

特開昭58-11995(2)

トランスファ素子30及び31が導通状態となると、行駆動端子ROW1は電圧V6が出力される。この時、キャパシタCは以前の電圧V5にて充電されている。従って、トランスファ素子30と31を通じて放電電流が流れ、放電が完了するとキャパシタCは電圧V6となる。次に、トランスファ素子27と31が導通状態となると、行駆動端子ROW1は電圧V1を出力するので、キャパシタCはトランスファ素子27と31を通して流れる充電電流により、電圧V1となる。したがって、キャパシタCの充放電時間は、キャパシタCの容量とトランスファ素子27~32のインピーダンスによって決定され、もしトランスファ素子のインピーダンスが高い場合には、第4図(b)の波線のごとく行駆動信号波形になまりが生じる。

液晶表示器の表示品質は、液晶表示素子に印加される電圧実効値に依存するため、行駆動信号及び列駆動信号に第4図(b)の波線で示すような波形なまりが生じると、電圧実効値が低下して表示品質が劣化する。

- 4 -

理由による。したがって、従来行駆動端子及び列駆動端子を多数有する液晶駆動装置においては、各駆動端子毎に又各電圧レベル毎にその時々インピーダンスを測定する必要性から長時間の測定時間が要求され、そのため量産性や経済性を著しく妨げていた。

本発明は、このような事情に鑑みてなされたもので、その目的は行駆動端子及び列駆動端子のインピーダンスを短時間で測定するテスト回路を具備した表示駆動装置を提供することである。

本発明は、テスト状態と動作状態とを指示する指示信号を発生する手段と、前記指示信号が動作状態を指示していることを検出して、表示情報に基いた表示駆動信号を発生する手段と、前記指示信号がテスト状態を指示していることを検出してテスト信号を発生する手段と、前記表示駆動信号及び前記テスト信号を切り換えて表示駆動信号入力端子に供給する手段とを含む。

より具体的には、交流駆動を実行するための交流信号と表示情報とに基づいて複数電位から成る

- 6 -

液晶駆動信号を発生する液晶表示駆動装置であつて、第1制御信号と、第2制御信号と、テスト状態又は動作状態を指示する状態指示信号とを発生し、前記状態指示信号の所定のレベルにตอบสนองして前記交流信号及び前記第1制御信号の中からいずれか一方を選択する第1の選択手段と、前記状態指示信号の前記所定のレベルにตอบสนองして前記表示信号及び前記第2制御信号の中からいずれか一方を選択する第2の選択手段と、前記第1の選択手段及び前記第2の選択手段により夫々選択された信号に基づいて複数レベルの電圧を発生する電圧発生源の中から所定の電圧を選択して発生するスイッチ回路とを備え、表示処理動作時には前記第1の選択手段により前記交流信号を、又前記第2の手段により前記表示情報をそれぞれ選択して、前記スイッチ回路により前記表示情報に応じた電圧の液晶駆動信号を発生し、テスト動作時には前記第1の選択手段により前記第1制御信号を選択し、又前記第2の選択手段により前記第2制御信号を選択して、これらに基づいて前記スイッチ手段を制

- 7 -

を交流駆動するための交流駆動信号が供給される交流駆動線と接続され、トランスファ素子5-1~5-nの一方の端子のそれぞれは表示情報が供給されるデータ線D1~Dnの対応するものと接続される。トランスファ素子7-1~7-8の一方の端子は、それぞれ時分割駆動情報となるタイミング信号が入力されるタイミング信号線T1~T8に接続される。トランスファ素子2-1~2-nの他方の端子は、それぞれトランスファ素子5-1~5-nの他方の端子と接続され、又、インバータ回路8-1~8-n及びトランスファ素子9-1~9-nのゲートともそれぞれ接続される。インバータ回路8-1~8-nの出力はそれぞれ対応するトランスファ素子10-1~10-nのゲートに接続される。トランスファ素子4-1~4-8及び7-1~7-8の各他方の端子は夫々共通接続され、これらはインバータ回路11-1~11-8及びトランスファ素子12-1~12-8のゲートにそれぞれ接続される。インバータ回路11-1~11-8の出力はトランスフ

- 9 -

特開昭58-11995(3)

御して前記複数レベルの電圧の中から所定の電圧を選択して出力せしめるようにしたことを特徴とする液晶表示駆動装置が得られる。

以下、図面を参照して本発明の実施例についてその詳細を説明する。

第5図は本発明の一実施例を示す要部回路図で、8時分割駆動により、液晶表示器を駆動する液晶表示駆動装置の例である。テスト状態指示信号線T8Tはインバータ回路1、トランスファ素子(例えばFET)2-1~2-nのゲート、トランスファ素子3のゲート及びトランスファ素子4-1~4-8のゲートに共通に接続される。インバータ回路1の出力は、トランスファ素子5-1~5-nのゲート、トランスファ素子6のゲート及びトランスファ素子7-1~7-8のゲートと接続される。第1制御線CRL1はトランスファ素子3の一方の端子に接続され、第2制御線CRL2はトランスファ素子2-1~2-n及び4-1~4-8の一方の端子に接続される。又、トランスファ素子6の一方の端子は、液晶表示器

- 8 -

素子13-1~13-8のゲートに接続される。一方、トランスファ素子3の他方の端子はトランスファ素子6の他方の端子と共通接続され、更にインバータ回路14の入力とトランスファ素子15、16、17及び18のゲートに接続される。インバータ回路14の出力は、トランスファ素子19、20、21及び22のゲートに接続される。又、トランスファ素子15の一方の端子は、電源V1と接続されており、トランスファ素子15の他方の端子は導線23を介してトランスファ素子12-1~12-8及びトランスファ素子20の一方の端子に接続される。トランスファ素子20の他方の端子は電源V2と接続される。更に、トランスファ素子19の一方の端子は電源V2と接続され、その他方の端子は導線24を介してトランスファ素子13-1~13-8の一方の端子及びトランスファ素子16の一方の端子と接続されている。トランスファ素子16の他方の端子には電源V2が接続される。又、トランスファ素子12-1~12-8の他方の端子とトランスファ素子13-

- 10 -

1~13-8の他方の端子とは夫々共通に接続されており、それぞれ行駆動信号出力端子ROW1~ROW8に導出されている。すなわち、トランスファ素子15, 16, 19, 20, 12-1~12-8及び13-1~13-8は、交流駆動信号ACが第1制御信号CRL1及びタイミング信号T1~T8が第2制御信号CRL2に基づき、電圧レベルV₁, V₂, V₃, V₄のうちの1つを選択するスイッチ群を構成している。

一方、トランスファ素子22の一方の端子は電源V₁と接続され、他方の端子は導線25を介してトランスファ素子9-1~9-nの一方の端子及びトランスファ素子17の一方の端子と接続される。トランスファ素子17の他方の端子は電源V₂と接続される。トランスファ素子18の一方の端子は電源V₃と接続され、その他方の端子は導線26を介してトランスファ素子10-1~10-nの一方の端子及びトランスファ素子21の一方の端子と接続される。トランスファ素子21の他方の端子は電源V₄と接続される。又、トランス

- 11 -

ファ素子5-1~5-n, 6, 7-1~7-8は全て導通状態となる。したがって、インバータ回路8-1~8-nとトランスファ素子9-1~9-nのゲートには、それぞれデータ線D1~Dnを介して表示処理装置(図示せず)から転送されてきた表示情報が入力され、インバータ回路1-4とトランスファ素子15~18のゲートには、交流駆動信号ACを介して印加された交流駆動信号が入力される。又、インバータ回路11-1~11-8とトランスファ素子12-1~12-8のゲートにはタイミング信号線T1~T8上のタイミング信号が入力される。今、第6図に示すごとく、交流駆動信号ACが入力されると、それがハイレベルの時はトランスファ素子15~18が導通状態となる。また、インバータ回路4の出力がローレベルとなるので、トランスファ素子19~22は非導通状態となる。したがって導線23~26は、それぞれ電圧V₁, V₂, V₃, V₄レベルとなる。逆に、交流駆動信号ACがローレベルの時には、トランスファ素子15~18が非導通状

- 13 -

特開昭58- 11995(4)

ファ素子9-1~9-nの他方の端子はそれぞれトランスファ素子10-1~10-nの他方の端子と接続され、列駆動信号出力端子COL1~COLnに対応して導出される。すなわち、トランスファ素子17, 18, 21, 22, 9-1~9-n及び10-1~10-nは、交流駆動信号ACが第1制御信号CRL1及び表示情報D1~Dnが第2制御信号CRL2に基づいて、電圧V₁, V₂, V₃, V₄の中から1つを選択するスイッチ群を構成している。

尚、すべてのトランスファ素子は、それぞれのゲートにハイレベルが入力された時導通状態となり、ローレベルが入力された時、非導通状態となるものとする。尚、導電型が逆であれば導通非導通も逆になることは明らかである。

以下に第6図のタイミング図を参照して、第5図の実施例の動作を詳しく説明する。まず、テスト状態指示線TSTにローレベルの信号を供給すると、トランスファ素子2-1~2-n, 3, 4-1~4-8は全て非導通状態となり、トランス

- 12 -

素子19~22が導通となるので、導線23~26はそれぞれ電圧V₁, V₂, V₃, V₄レベルとなる。したがって、導線23~26には交流駆動信号ACに同期して、第6図に示すような電圧レベルが選択されて出力される。

第6図に示すようにタイミング信号T1~T8は、時間経過に沿って順次発生されるものであり、かつ交流駆動信号ACと同期している。例えば、タイミング信号T1がハイレベルの時、テスト状態指示線TSTはローレベルであるので、トランスファ素子12-1が導通状態、トランスファ素子13-1が非導通状態となる。従って、ROW1端子には導線23の電圧が出力される。すなわち、交流駆動信号ACがローレベルの時は電圧V₁が、交流駆動信号ACがハイレベルの時は電圧V₂が夫々選択されて出力される。又、タイミング信号T1がローレベルの時、ROW1端子には導線24の電圧が出力されるので、この時交流駆動信号ACがローレベルであれば電圧V₃が、又交流駆動信号ACがハイレベルであれば電圧V₄が交

- 14 -

互に出力される。

この結果、第1図に示すようなROW1信号のタイミング波形が得られ、又、同様にタイミング信号T2~T8に対応してROW2~ROW8信号が得られる。一方、データ線D1~Dnに入力される表示情報も交流駆動信号ACと同期しており、例えば、データ線D1に、表示情報としてハイレベルが入力された時、テスト状態指示線TSTがローレベルであるからトランスファ素子5-1が導通状態にあり、トランスファ素子9-1が導通状態、トランスファ素子10-1が非導通状態となる。従って、COL1端子には導線25の電圧が出力される。すなわち、交流駆動信号ACが、ローレベルの時は電圧V1が、交流駆動信号ACがハイレベルの時は電圧V2が出力される。又、データ線D1上に表示情報としてローレベルが入力された場合には、COL1端子には導線26の電圧、すなわち、交流駆動信号に同期してV3、V4が出力される。したがって、第6図に示すように、データ線D1上にハイレベル及びローレベ

- 15 -

V4レベルが出力される。一方、第2制御線CRL2上の信号がローレベルであるから、インバータ回路11-1~11-8及び8-1~8-nの各出力はハイレベルとなり、トランスファ素子13-1~13-8及び10-1~10-nが導通状態となる。したがって、ROW1~ROW8端子には電圧V2レベルが、又COL1~COLn端子には電圧V4が、夫々交流駆動線AC上の信号に関係なく一定して出力される。

次に、第1制御線CRL1がローレベル、第2制御線CRL2がハイレベルになるように設定すると、トランスファ素子12-1~12-8及び9-1~9-nは導通状態となる。

この時、導線23、25上には電圧V2、V1が出力されているので、ROW1~ROW8端子には電圧V2が、COL1~COLn端子には電圧V1が一定して出力される。

一方、第1制御線CRL1をハイレベル、第2制御線CRL2をハイレベルに設定すると、第1制御線CRL1が、ハイレベルであるのでトランス

- 17 -

特開昭58-11995(5)

ルの表示情報が交互に入力されると、第1図のCOL1信号が得られる。他のCOL2~COLn端子についても、データ線D2~Dnに入力される表示情報に対応して、所望の列駆動信号がそれぞれ得られることは第5図から明らかである。

以上のように、テスト状態指示線TSTがローレベルの時(即ち、通常の表示処理モードの時)は、表示情報に応じた行駆動信号と列駆動信号とが得られ、液晶表示素子をドライブすることができる。

次に、テスト状態指示線TSTをハイレベルにした時、即ちテストモードの時について説明する。はじめに第1及び第2制御線CRL1、CRL2が共にローレベルの場合には、テスト状態指示線TSTがハイレベルで、第1制御線CRL1がローレベルであるから、インバータ回路14の出力はハイレベルとなる。この結果、トランスファ素子19~22は導通状態となり、トランスファ素子15~18は非導通状態となる。したがって、導線23~26にはそれぞれ電圧V2、V3、V1、

- 16 -

ファ15~18は導通状態となり、導線23~26上にはそれぞれ電圧V1、V2、V3、V4が出力される。この時、第2制御線CRL2もハイレベルであるから、トランスファ素子12-1~12-8及び9-1~9-nは導通状態となっている。したがって、ROW1~ROW8端子には電圧V1が、又COL1~COLn端子には電圧V2が一定して出力される。

又、第1制御線CRL1がハイレベル、第2制御線CRL2がローレベルになるように制御すると、トランスファ素子13-1~13-8及び10-1~10-nが導通状態となり、この時、導線24、26上には電圧V2、V3が出力される。よってROW1~ROW8端子には電圧V2が、又COL1~COLn端子には電圧V3が一定に出力される。

以上のように、テスト状態指示線TSTをハイレベルに固定すれば、第1及び第2制御線CRL1、CRL2上の信号のレベルに応じて、行駆動端子ROW1~ROW8には電圧V2、V3、V1、

- 18 -

及び V_3 を任意に出力することができ、又、列駆動端子 $COL1 \sim COLn$ には電圧 V_4 、 V_1 、 V_5 及び V_3 を任意に出力することができる。従って、各端子のインピーダンスを測定する場合、表示情報を特別に作ってやることなく、所定電圧レベルを任意にかつ高週に設定することができ、各端子のインピーダンス測定時間は極めて短時間でよい。又、すべての行及び列駆動端子は、それぞれ同一電圧を出力しているため、複数端子のインピーダンスを同時に測定することも、可能となり、より高週かつ簡便に良品、不良品の判別を行なうことができる。

尚、上記例では、行駆動信号及び列駆動信号はそれぞれ4レベルの電圧を必要とする一般的な場合について説明したが、時分割数の設定に応じて行駆動信号及び列駆動信号の電圧レベル数が異なる場合もある。

しかし、このような場合にも本発明を適用することは可能であることは云うまでもない。例えば、第1図における列駆動信号において、電圧 V_3 、

- 19 -

駆動装置内のタイミング信号及び表示情報信号を禁止して行駆動端子及び列駆動端子に所定の電圧レベルを任意に発生させるようにした本発明によれば、各端子の各電圧レベルに対するインピーダンス測定において無駄な待ち時間を冗らに長く費やすことなく短時間のうちに測定を完了することができる。しかも、インピーダンス測定のために、各列駆動端子に特定の表示情報を別途与えてやる必要もないため、製品におけるインピーダンス測定に要するテスト時間を大幅に短縮することができるのみならず、その測定方法も極めて簡単になる。

4. 図面の簡単な説明

第1図(a)～(f)は夫々行駆動信号及び列駆動信号波形図、第2図は液晶表示素子の構成図、第3図はその等価回路図、第4図(a)は行駆動信号発生回路図、(b)は行駆動信号波形図、第5図は本発明の一実施例による表示駆動装置の要部回路図、第6図はそのタイミング図である。

$T1 \sim T8$ ……タイミング信号線、 $D1 \sim Dn$

- 21 -

特開昭58- 11995(6)

V_4 を1つの電圧レベル V_5 で代用した場合には、第5図においてトランスファ18及び21を除きして導線26に電圧源 V_5 を接続するようにすればよい。この時、テスト状態指示線をハイレベルにして、第2制御線 $CRL2$ をローレベルとすると、第1制御線 $CRL1$ とは無関係にすべての列駆動端子に電圧 V_5 を発生することができる。

又、テスト状態指示線、第1制御線及び第2制御線は、液晶表示駆動装置の外部に設定したフリップフロップの出力信号を用いてもよいし、又、ソフトウェア制御によって表示処理装置(マイクロプロセッサ)から直接制御してもよい。外部から直接第1及び第2の制御線を制御する場合、行駆動端子及び列駆動端子以外の端子(例えば、液晶表示駆動装置のチップセレクト端子や、表示データ入力端子等)と兼用して使用するようにすれば、その方がコストメリットが高いことも理解できる。

以上述べたように、簡単なテスト回路を付加してテスト状態指示線がアクティブの時、液晶表示

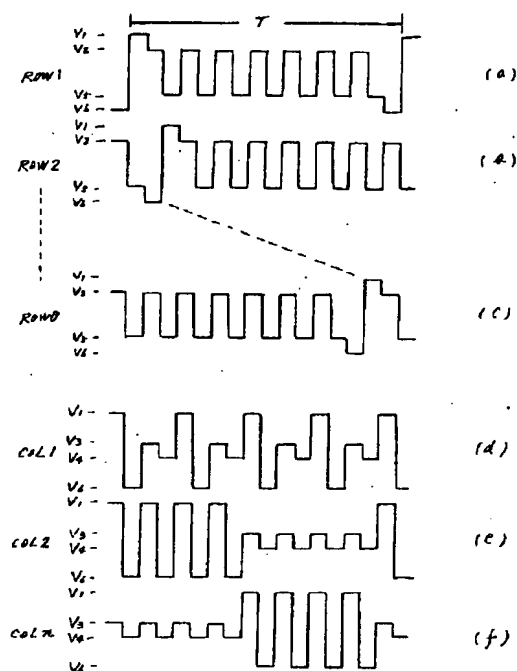
- 20 -

……データ線、AC……交流駆動信号線、 $CRL1$ 、 $CRL2$ ……第1及び第2制御線、TST……テスト状態指示線、1、8-1～8-n、11-1～11-8及び14……インバータ回路、2-1～2-n、3、4-1～4-8、5-1～5-n、6、7-1～7-8、9-1～9-n、10-1～10-n、12-1～12-8、13-1～13-8、15～22……トランスファ素子、23～26……導線。

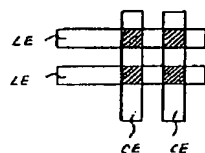
代理人 弁理士 内 原 晋



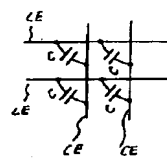
- 22 -



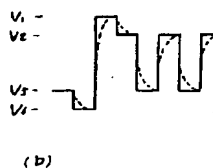
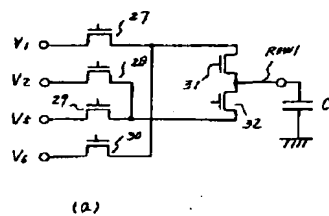
第 1 図



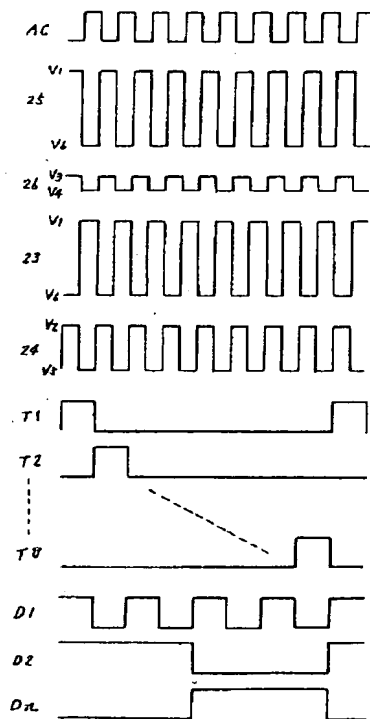
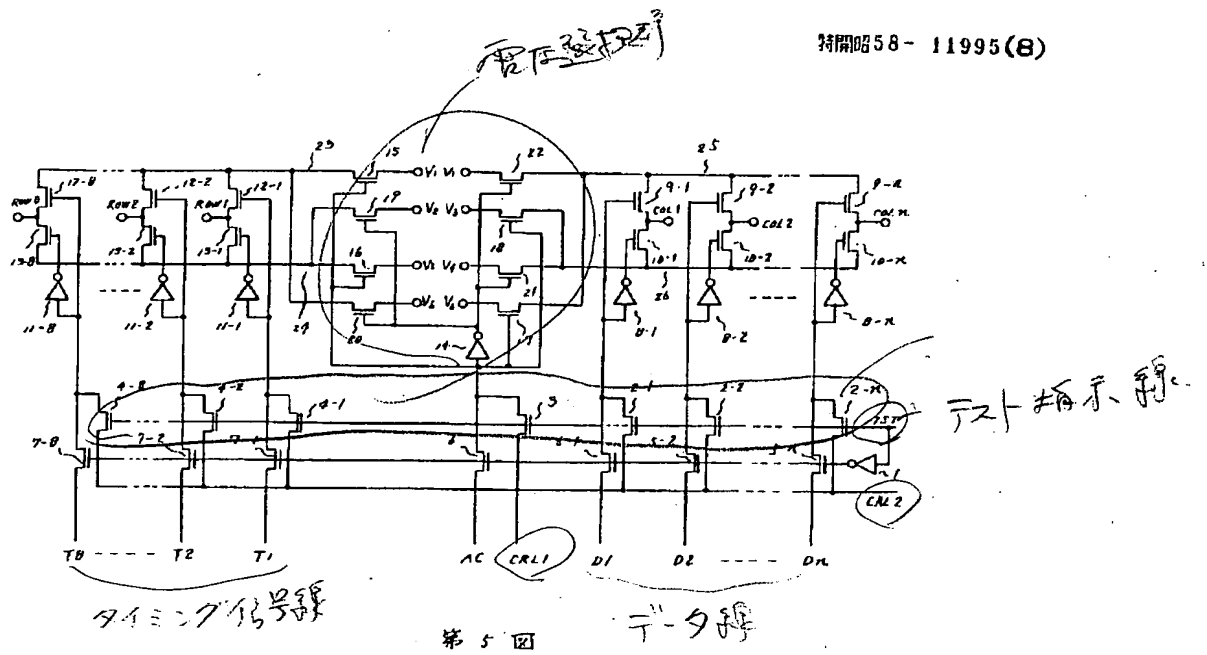
第 2 図



第 3 図



第 4 図



第6図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.